

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340319

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 10-144715

(71)Applicant : NEC CORP

(22)Date of filing : 26.05.1998

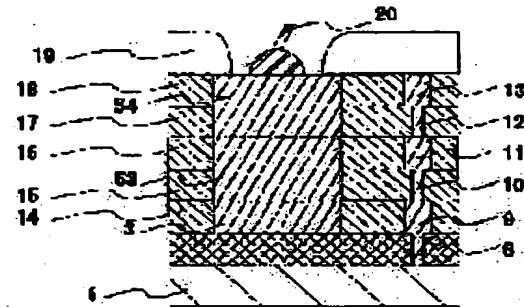
(72)Inventor : OKUJIMA MOTOTSUGU

(54) MULTILAYER INTERCONNECTION STRUCTURE, SEMICONDUCTOR DEVICE PROVIDED WITH IT AND THEIR MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer interconnection structure in which the durability of an electrode part with reference to a shock in a bonding operation is good even when an interlayer insulating film composed of a low-permittivity organic material is used and in which both a reduction in a parasitic capacitance and the enhancement of the strength of the electrode part can be realized.

SOLUTION: A plurality of interconnections 9, 11, 13 are formed on an inorganic lowermost-layer insulating film 2 formed on a silicon substrate 1. Organic interlayer insulating films 14, 15, 16, 17, 18 are interposed between the adjacent interconnections. Via materials 8, 10, 12 are formed in the inorganic lowermost-layer insulating film 2 and the organic interlayer insulating films 15, 17. Openings having a shape corresponding to an electrode pad are formed in the organic interlayer insulating films 14, 15, 16, 17, 18. The openings are buried with a metal material. Metal-film patterns 3, 4, 6, 5, 7 are formed. Thereby, the electrode pad as a laminated body of the metal-film patterns 3, 4, 6, 5, 7 is formed.



LEGAL STATUS

[Date of request for examination] 26.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3121311

[Date of registration] 20.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3121311号
(P3121311)

(45)発行日 平成12年12月25日(2000.12.25)

(24)登録日 平成12年10月20日(2000.10.20)

(51)Int.Cl.

H 01 L 21/3205
21/60
21/768

識別記号

301

F I

H 01 L 21/88
21/60
21/90

T
301 P
B

請求項の数26(全 13 頁)

(21)出願番号 特願平10-144715

(22)出願日 平成10年5月26日(1998.5.26)

(65)公開番号 特開平11-340319

(43)公開日 平成11年12月10日(1999.12.10)
審査請求日 平成10年5月26日(1998.5.26)

(73)特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 奥島 基嗣

東京都港区芝五丁目7番1号 日本電気

株式会社内

(74)代理人 100065385

弁理士 山下 稔平

審査官 斎藤 恒一

(56)参考文献 特開 平2-231735 (JP, A)

特開 平5-183007 (JP, A)

特開 平5-234998 (JP, A)

特開 昭62-102543 (JP, A)

最終頁に続く

(54)【発明の名称】 多層配線構造及びそれを有する半導体装置並びにそれらの製造方法

1

(57)【特許請求の範囲】

【請求項1】 基板上に最下層絶縁膜を介して複数の配線層が形成されており、該複数の配線層の隣接するものどうしを互いに絶縁するよう層間絶縁膜が形成されており、外部との電気的接続のため前記複数の配線層のうちの少なくとも1つの配線と接続された電極パッドを備えており、前記電極パッドは前記層間絶縁膜を膜厚方向に貫通して形成された導電部材からなり、該導電部材の側面は前記膜厚方向に延びており、前記最下層絶縁膜は無機絶縁膜からなる多層配線構造を製造する方法であつて、
基板上に形成された最下層絶縁膜の上に、複数の配線層をそれらの隣接するものどうしを互いに絶縁するよう層間絶縁膜を介在させながら形成する際に、

(a) 前記層間絶縁膜に前記電極パッドに対応する形状

10

2

の開口を形成し、該開口内を導電性材料で埋めて導電膜パターンを形成するか、または

(b) 前記電極パッドに対応する形状の導電膜パターンを形成し、該導電膜パターンの周囲を前記層間絶縁膜で埋める成膜工程を複数回行うことで前記導電膜パターンを複数層に形成し、該複数層の導電膜パターンの積層体として前記電極パッドを形成し、前記配線層の形成を複数層の前記導電膜パターンのうちのいずれかの形成と同時にを行うことを特徴とする、多層配線構造の製造方法。

【請求項2】 前記層間絶縁膜は有機絶縁膜からなることを特徴とする、請求項1に記載の多層配線構造の製造方法。

【請求項3】 前記電極パッドは同等の形状の導電膜の積層体からなることを特徴とする、請求項1～2のいずれかに記載の多層配線構造の製造方法。

【請求項4】 前記層間絶縁膜には互いに隣接する2つの配線層の配線どうしを接続する導電路が形成されていることを特徴とする、請求項1～3のいずれかに記載の多層配線構造の製造方法。

【請求項5】 前記導電路の径は前記電極パッドの径より小さいことを特徴とする、請求項4に記載の多層配線構造の製造方法。

【請求項6】 前記基板は半導体基板であることを特徴とする、請求項1～5のいずれかに記載の多層配線構造の製造方法。

【請求項7】 前記成膜工程のいずれかにおいて、層間絶縁膜を2層に形成し、そのうちの一方に前記導電膜パターンの形成と同時に前記配線層をも形成することを特徴とする、請求項1～6のいずれかに記載の多層配線構造の製造方法。

【請求項8】 前記成膜工程のいずれかにおいて、導電膜パターンを2層に形成し、そのうちの一方の形成と同時に前記配線層をも形成することを特徴とする、請求項1～6のいずれかに記載の多層配線構造の製造方法。

【請求項9】 前記導電膜パターンの形成に際して、化学・機械的研磨を用いて表面の平坦化を行うことを特徴とする、請求項1～8のいずれかに記載の多層配線構造の製造方法。

【請求項10】 前記層間絶縁膜の形成に際して、化学・機械的研磨を用いて表面の平坦化を行うことを特徴とする、請求項1～9のいずれかに記載の多層配線構造の製造方法。

【請求項11】 前記層間絶縁膜の少なくとも1つに前記開口を形成する際にビアホールを形成し、前記導電膜パターンを形成する際に前記ビアホールをも導電性材料で埋めて、当該層間絶縁膜に隣接する2つの配線層の配線どうしを接続する導電路を形成することを特徴とする、請求項1～10のいずれかに記載の多層配線構造の製造方法。

【請求項12】 基板上に最下層絶縁膜を介して複数の配線層が形成されており、該複数の配線層の隣接するものどうしを互いに絶縁するように層間絶縁膜が形成されており、外部との電気的接続のため前記複数の配線層のうちの少なくとも1つの配線と接続された電極パッドを備えており、前記電極パッドは前記層間絶縁膜を膜厚方向に貫通して形成された導電部材からなり、該導電部材の側面は前記膜厚方向に延びており、前記最下層絶縁膜は無機絶縁膜からなり、前記基板は半導体基板である多層配線構造を備えており、前記半導体基板には機能素子が作り込まれており、前記複数の配線層のうちの少なくとも1つの配線は前記最下層絶縁膜を貫通して延びている導電経路を介して前記機能素子と接続されている半導体装置を製造する方法であって、

機能素子が作り込まれた半導体基板上に最下層絶縁膜を形成し、その上に複数の配線層をそれらの隣接するもの

どうしを互いに絶縁するように層間絶縁膜を介在させながら形成する際に、

(a) 前記層間絶縁膜に前記電極パッドに対応する形状の開口を形成し、該開口内を導電性材料で埋めて導電膜パターンを形成するか、または

(b) 前記電極パッドに対応する形状の導電膜パターンを形成し、該導電膜パターンの周囲を前記層間絶縁膜で埋める成膜工程を複数回行うことで前記導電膜パターンを複数層に形成し、該複数層の導電膜パターンの積層体として前記電極パッドを形成し、前記配線層の形成を複数層の前記導電膜パターンのうちのいずれかの形成と同時に進行し、

その際に、前記複数の配線層のうちの少なくとも1つの配線と前記機能素子の少なくとも1つとを接続する導電経路を形成すべく、当該配線層より下方の前記層間絶縁膜に形成したビアホールに前記導電膜パターンの形成と同時に導電膜を形成し、前記最下層絶縁膜に形成したビアホールに導電膜を形成して、これら導電膜と前記当該配線層より下方の配線層の配線とを介して前記導電経路を形成することを特徴とする、半導体装置の製造方法。

【請求項13】 前記層間絶縁膜は有機絶縁膜からなることを特徴とする、請求項12に記載の半導体装置の製造方法。

【請求項14】 前記電極パッドは同等の形状の導電膜の積層体からなることを特徴とする、請求項12～13のいずれかに記載の半導体装置の製造方法。

【請求項15】 前記層間絶縁膜には互いに隣接する2つの配線層の配線どうしを接続する導電路が形成されていることを特徴とする、請求項12～14のいずれかに記載の半導体装置の製造方法。

【請求項16】 前記導電路の径は前記電極パッドの径より小さいことを特徴とする、請求項15に記載の半導体装置の製造方法。

【請求項17】 前記成膜工程のいずれかにおいて、層間絶縁膜を2層に形成し、そのうちの一方に前記導電膜パターンの形成と同時に前記配線層をも形成することを特徴とする、請求項12～16のいずれかに記載の半導体装置の製造方法。

【請求項18】 前記成膜工程のいずれかにおいて、導電膜パターンを2層に形成し、そのうちの一方の形成と同時に前記配線層をも形成することを特徴とする、請求項12～16のいずれかに記載の半導体装置の製造方法。

【請求項19】 前記導電膜パターンの形成に際して、化学・機械的研磨を用いて表面の平坦化を行うことを特徴とする、請求項12～18のいずれかに記載の半導体装置の製造方法。

【請求項20】 前記層間絶縁膜の形成に際して、化学・機械的研磨を用いて表面の平坦化を行うことを特徴とする、請求項12～19のいずれかに記載の半導体装置

の製造方法。

【請求項21】 基板上に最下層絶縁膜を介して複数の配線層が形成されており、該複数の配線層の隣接するものどうしを互いに絶縁するように層間絶縁膜が形成されており、外部との電気的接続のため前記複数の配線層のうちの少なくとも1つの配線と接続された電極パッドを備えている多層配線構造であって、

前記複数の配線層は3層以上の配線層であり、前記配線層及び前記層間絶縁膜はいずれも平坦化されており、

前記電極パッドは前記層間絶縁膜を膜厚方向に貫通して形成された導電部材からなり、該導電部材の側面は前記膜厚方向に延びており、該導電部材は同等の形状の導電膜の積層体からなり、該導電膜のそれぞれは平坦化されており、

前記複数の配線層のそれぞれの平坦化された表面は前記導電膜のうちのいずれかの平坦化された表面と同一平坦面上に位置しており、しかも、前記層間絶縁膜の上面及び下面のうちの少なくとも一方は前記配線層及び前記導電膜の上面または下面と同一平坦面上に位置しており、前記最下層絶縁膜は無機絶縁膜からなることを特徴とする、多層配線構造。

【請求項22】 前記層間絶縁膜は有機絶縁膜からなることを特徴とする、請求項21に記載の多層配線構造。

【請求項23】 前記層間絶縁膜には互いに隣接する2つの配線層の配線どうしを接続する導電路が形成されていることを特徴とする、請求項21～22のいずれかに記載の多層配線構造。

【請求項24】 前記導電路の径は前記電極パッドの径より小さいことを特徴とする、請求項23に記載の多層配線構造。

【請求項25】 前記基板は半導体基板であることを特徴とする、請求項21～24のいずれかに記載の多層配線構造。

【請求項26】 請求項25の多層配線構造を備えており、前記半導体基板には機能素子が作り込まれておらず、前記複数の配線層のうちの少なくとも1つの配線は前記最下層絶縁膜を貫通して延びている導電経路を介して前記機能素子と接続されていることを特徴とする、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多層配線の技術分野に属するものであり、特に電極部の構造に特徴を有する多層配線構造及びその製造方法に関するものである。本発明の多層配線構造は、例えば半導体装置における配線に適用することができる。

【0002】

【従来の技術及び発明が解決しようとする課題】 半導体装置においては、該半導体装置を構成する各種機能素子間の配線のために半導体基板の表面に多層配線構造が形

10

20

30

40

50

成される。この多層配線構造では、層間絶縁膜を介して複数の配線層が設けられており、各配線層の配線は絶縁膜に形成された貫通孔（ピアホール）に充填された導電性部材（ピアメタル）により適宜の位置にて導通される。

【0003】 近年、次第に高密度の配線が要求されるにつれて、以上のような多層配線構造を構成する層間絶縁膜の膜厚は次第に薄くなる傾向にある。層間絶縁膜の膜厚が薄くなると、寄生容量が大きくなる傾向にあるので、該層間絶縁膜としてできるだけ誘電率の低い材料を使用するのが好ましい。このような低誘電率の層間絶縁膜としては、例えばハイドロゼンシルクスオキサン（H SQ）、フロリネーテッドカーボン（a-C:F）あるいはベンゾシクロブテン（B C B）などの有機材料からなるものが利用できるが、有機層間絶縁膜は一般に無機材料たとえば酸化シリコンや窒化シリコンからなる層間絶縁膜に比べて強度及び密着性が低い。

【0004】 多層配線構造は、外部回路との電気的接続のための電極部としての電極パッドを備えており、この電極パッドは一般に最上層配線において形成されている。電極パッドと外部回路との接続は例えばワイヤーボンディングによりなされ、このワイヤーボンディング時には、電極パッドに対してボンディングヘッドによる圧着のための超音波振動など押圧力やヘッド退避時の引っ張り力が印加される。

【0005】 従って、強度及び密着性が低い有機層間絶縁膜を用いた多層配線構造では、ワイヤーボンディングにより絶縁膜どうしの間で剥離が生じたり絶縁膜にクラックが発生したり、電極パッド金属膜が有機層間絶縁膜から剥離したりするおそれがある。

【0006】 図27～図30に、従来の多層配線構造の第1の例の製造方法を示す。

【0007】 先ず、図27に示すように、トランジスター、ダイオード及びコンデンサーなどの各種機能素子が作り込まれた半導体基板1の上に第1層目層間絶縁膜30を形成し、その上に金属膜を形成しエッチング技術を用いてパターニングして金属膜パターン33を形成する。尚、図示はしないが、金属膜パターン33の形成されている配線層の配線は、適宜の位置において第1層目層間絶縁膜30に形成されたピアホールに充填されたピアメタルを介して半導体基板1の機能素子と電気的に接続されている。

【0008】 次に、図28に示すように、その上に層間絶縁膜を形成し金属膜パターン33より少し小さいホールを開孔する。これにより第2層目層間絶縁膜31a、31bで電極パッド33を固定する。

【0009】 次に、図29に示すように、その上に金属膜を形成しエッチング技術を用いてパターニングして金属膜パターン34を形成する。金属膜パターン33と金属膜パターン34とは金属膜どうしで密着している。

尚、図示はしないが、金属膜パターン34の形成されている配線層の配線は、必要に応じて、適宜の位置において第2層目層間絶縁膜31a, 31bに形成されたピアホールに充填されたビアメタルを介して金属膜パターン34の配線層の配線と接続されている。

【0010】次に、図30に示すように、その上に絶縁膜を形成し金属膜パターン34より少し小さいホールを開孔する。これにより上層絶縁膜32a, 32bで金属膜パターン34を固定する。そして、金属膜パターン34に対してワイヤー20をボンディングする。金属膜パターン33, 34により電極パッドが構成されている。
10

【0011】以上のようにして得られる多層配線構造では、第2層目層間絶縁膜31a, 31bが金属膜パターン33の周辺部を覆っており、同様に上層絶縁膜32a, 32bも金属膜パターン34の周辺部を覆っている。従って、この構造では第2層目層間絶縁膜31a, 31bや上層絶縁膜32a, 32bとして低誘電率有機絶縁膜を使用する場合には、膜強度が低く金属膜との密着性も低い有機膜により電極パッドの周辺部を覆うことになり、有機層間絶縁膜のクラック発生を招きやすい。また、この構造は、層間絶縁膜の平坦化が行われていないため、層数の多い多層配線構造には適していない。
20

【0012】図31～図37に、従来の多層配線構造の第2の例の製造方法を示す。

【0013】先ず、図31に示すように、トランジスター、ダイオード及びコンデンサーなどの各種機能素子を作り込まれた半導体基板1の上に第1層目層間絶縁膜41を形成し、該絶縁膜に形成したピアホールに第1層目ビアメタル8を充填する。その上に金属膜を形成しエッチング技術を用いてパターニングして第1層目配線9を形成する。尚、該第1層目配線9は、第1層目ビアメタル8を介して半導体基板1の機能素子と電気的に接続される。その上に層間絶縁膜を形成し平坦化して第2層目層間絶縁膜42とする。該第2層目層間絶縁膜42に形成したピアホールに第2層目ビアメタル10を充填する。その上に金属膜46を形成する。
30

【0014】次に、図32に示すように、金属膜46をエッチング技術を用いてパターニングして第2層目配線11を形成する。その際に、電極パッドを形成すべき位置に金属膜パターン5を形成しておく。
40

【0015】次に、図33に示すように、その上に層間絶縁膜43'を形成する。

【0016】次に、図34に示すように、層間絶縁膜43'を化学・機械的研磨(CMP)により平坦化して、第3層目層間絶縁膜43とする。

【0017】次に、図35に示すように、第3層目層間絶縁膜43にピアホールを形成し、その上から金属膜47を堆積する。これにより、第2層目配線11に対応する位置に形成されたピアホールに金属膜48cが充填されるとともに、金属膜パターン5に対応する位置に形成
50

されたピアホールにも金属膜48a, 48bが充填される。

【0018】次に、図36に示すように、金属膜47の上面部分をエッチバック法により除去する。これにより、第2層目配線11と接続された第3層目ビアメタル12が形成されるとともに、金属膜パターン5と接続されたビアメタル45a, 45bが形成される。このように、エッチバック法により金属膜47の上面部分を除去し平坦化してビアメタル45a, 45bを形成するため、金属膜48a, 48bが充填されるピアホールの面積を金属膜パターン5ほど大きくすることができない。これは、ピアホールの面積が大きいと、エッチバック法ではピアホール内の金属膜47の表面を平坦化しつつピアホールを金属膜47で完全に埋め込むことが困難であるからである。

【0019】次に、図37に示すように、その上に金属膜を形成し、エッティング技術を用いてパターニングして第3層目配線13を形成する。その際に、金属膜パターン5に対応する位置に金属膜パターン7を形成する。該金属膜パターン7はビアメタル45a, 45bを介して金属膜パターン5と接続される。その上に層間絶縁膜を形成し、該層間絶縁膜をCMPにより平坦化して上層絶縁膜44とする。続いて、電極パッド7に対応する部分に開口を有するパッシベーション膜19を形成する。そして、金属膜パターン7に対してワイヤー20をボンディングする。金属膜パターン7により電極パッドが構成されている。

【0020】以上のようにして得られる多層配線構造では、上記のようにビアメタル12を形成する際に金属膜47をエッチバックするプロセスを用いているため、微細なビアメタル12と電極パッド程度の大面積なピアホール内金属膜パターンとを同時に平坦化することが難しい。そこで、第2層目配線11形成時に電極パッド7と同程度の面積の金属膜パターン5を形成し、第3層目配線13形成時に電極パッド7を形成している。この電極パッド7と金属膜パターン5とをビアメタル45a, 45bで接続することで、ワイヤーボンディング時の衝撃に対する強度の増強をはかっている。

【0021】しかしながら、この構造では、層間絶縁膜として膜強度の低い有機絶縁膜を用いた場合には、金属膜パターン5と金属膜パターン(電極パッド)7との間に挟まれた層間絶縁膜部分に応力が集中し、この箇所にクラックが発生する可能性が高く、この構造では十分とはいえない。

【0022】そこで、本発明は、以上のような従来技術の問題点に鑑み、ワイヤーボンディングなどのボンディング時の押圧力や引っ張り力などの衝撃に対する耐久性の向上した電極部構造を有する多層配線構造を提供することを目的とするものである。

【0023】特に、本発明は、低誘電率の有機材料から

なる層間絶縁膜を用いた場合にも、ボンディング時の衝撃に対する耐久性が良好で、従って寄生容量の低減と電極部強度の向上との双方を実現し得る多層配線構造を提供することを目的とするものである。

【0024】更に、本発明は、以上のような多層配線構造を有する半導体装置を提供することをも目的とするものである。

【0025】

【課題を解決するための手段】 (1) 本発明によれば、以上の如き目的を達成するものとして、基板上に最下層絶縁膜を介して複数の配線層が形成されており、該複数の配線層の隣接するものどうしを互いに絶縁するように層間絶縁膜が形成されており、外部との電気的接続のため前記複数の配線層のうちの少なくとも1つの配線と接続された電極パッドを備えている多層配線構造であつて、前記電極パッドは前記層間絶縁膜を膜厚方向に貫通して形成された導電部材からなり、該導電部材の側面は前記膜厚方向に延びており、前記最下層絶縁膜は無機絶縁膜からなることを特徴とする、多層配線構造、が提供される。

【0026】本発明の一態様においては、前記層間絶縁膜は有機絶縁膜からなる。

【0027】本発明の一態様においては、前記電極パッドは同等の形状の導電膜の積層体からなる。

【0028】本発明の一態様においては、前記層間絶縁膜には互いに隣接する2つの配線層の配線どうしを接続する導電路が形成されている。

【0029】本発明の一態様においては、前記導電路の径は前記電極パッドの径より小さい。

【0030】本発明の一態様においては、前記基板は半導体基板である。

【0031】(2) また、本発明によれば、以上の如き目的を達成するものとして、前記多層配線構造を備えており、前記半導体基板には機能素子が作り込まれており、前記複数の配線層のうちの少なくとも1つの配線は前記最下層絶縁膜を貫通して延びている導電経路を介して前記機能素子と接続されていることを特徴とする、半導体装置、が提供される。

【0032】(3) 更に、本発明によれば、以上の如き目的を達成するものとして、前記多層配線構造を製造する方法であつて、基板上に形成された最下層絶縁膜の上に、複数の配線層をそれらの隣接するものどうしを互いに絶縁するように層間絶縁膜を介在させながら形成する際に、(a) 前記層間絶縁膜に前記電極パッドに対応する形状の開口を形成し、該開口内を導電性材料で埋めて導電膜パターンを形成するか、または(b) 前記電極パッドに対応する形状の導電膜パターンを形成し、該導電膜パターンの周囲を前記層間絶縁膜で埋める成膜工程を複数回行うことで前記導電膜パターンを複数層に形成し、該複数層の導電膜パターンの積層体として前記電極パッドを形成し、前記配線層の形成を複数層の前記導電膜パターンのうちのいずれかの形成と同時にを行い、その際に、前記複数の配線層のうちの少なくとも1つの配線と前記機能素子の少なくとも1つとを接続する導電経路を形成すべく、当該配線層より下方の前記層間絶縁膜に形成したビアホールに前記導電膜パターンの形成と同時に導電膜を形成し、前記最下層絶縁膜に形成したビアホールに導電膜を形成して、これら導電膜と前記当該配線層より下方の配線層の配線とを介して前記導電経路を形成することを特徴とする、半導体装置の製造方法、が提供される。

パッドを形成し、前記配線層の形成を複数層の前記導電膜パターンのうちのいずれかの形成と同時にを行うことを特徴とする、多層配線構造の製造方法、が提供される。

【0033】本発明の一態様においては、前記成膜工程のいずれかにおいて、層間絶縁膜を2層に形成し、そのうちの一方に前記導電膜パターンの形成と同時に前記配線層をも形成する。

【0034】本発明の一態様においては、前記成膜工程のいずれかにおいて、導電膜パターンを2層に形成し、そのうちの一方の形成と同時に前記配線層をも形成する。

【0035】本発明の一態様においては、前記導電膜パターンの形成に際して、化学・機械的研磨を用いて表面の平坦化を行う。

【0036】本発明の一態様においては、前記層間絶縁膜の形成に際して、化学・機械的研磨を用いて表面の平坦化を行う。

【0037】本発明の一態様においては、前記層間絶縁膜の少なくとも1つに前記開口を形成する際にピアホールを形成し、前記導電膜パターンを形成する際に前記ピアホールをも導電性材料で埋めて、当該層間絶縁膜に隣接する2つの配線層の配線どうしを接続する導電路を形成する。

【0038】(4) 更に、本発明によれば、以上の如き目的を達成するものとして、前記半導体装置を製造する方法であつて、機能素子が作り込まれた半導体基板上に最下層絶縁膜を形成し、その上に複数の配線層をそれらの隣接するものどうしを互いに絶縁するように層間絶縁膜を介在させながら形成する際に、(a) 前記層間絶縁膜に前記電極パッドに対応する形状の開口を形成し、該開口内を導電性材料で埋めて導電膜パターンを形成するか、または(b) 前記電極パッドに対応する形状の導電膜パターンを形成し、該導電膜パターンの周囲を前記層間絶縁膜で埋める成膜工程を複数回行うことで前記導電膜パターンを複数層に形成し、該複数層の導電膜パターンの積層体として前記電極パッドを形成し、前記配線層の形成を複数層の前記導電膜パターンのうちのいずれかの形成と同時にを行い、その際に、前記複数の配線層のうちの少なくとも1つの配線と前記機能素子の少なくとも1つとを接続する導電経路を形成すべく、当該配線層より下方の前記層間絶縁膜に形成したビアホールに前記導電膜パターンの形成と同時に導電膜を形成し、前記最下層絶縁膜に形成したビアホールに導電膜を形成して、これら導電膜と前記当該配線層より下方の配線層の配線とを介して前記導電経路を形成することを特徴とする、半導体装置の製造方法、が提供される。

【0039】本発明の一態様においては、前記成膜工程のいずれかにおいて、層間絶縁膜を2層に形成し、そのうちの一方に前記導電膜パターンの形成と同時に前記配線層をも形成する。

11

【0040】本発明の一態様においては、前記成膜工程のいずれかにおいて、導電膜パターンを2層に形成し、そのうちの一方の形成と同時に前記配線層をも形成する。

【0041】本発明の一態様においては、前記導電膜パターンの形成に際して、化学・機械的研磨を用いて表面の平坦化を行う。

【0042】本発明の一態様においては、前記層間絶縁膜の形成に際して、化学・機械的研磨を用いて表面の平坦化を行う。 10

【0043】

【発明の実施の形態】以下、本発明の実施の形態を、図面を参照しながら説明する。

【0044】図1～図10は、本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【0045】先ず、図1に示すように、トランジスター、ダイオード及びコンデンサーなどの各種機能素子が作り込まれたシリコン基板1の上に、最下層絶縁膜2を0.3～1.0μm程度の厚さに形成する。最下層絶縁膜2はシリコン酸化膜やシリコン窒化膜などの無機絶縁膜であり、この無機絶縁膜はシリコン基板1との密着性に優れており、更に後で形成される電極パッドを構成する金属膜との密着性も良好である。最下層絶縁膜2に形成した直径0.1～1.0μm程度のピアホールにピアメタル8を充填する。

【0046】次に、図2に示すように、その上に、低誘電率の有機材料例えはハイドロゼンシルクスオキサン(HSQ)、フロリネーテッドカーボン(a-C:F)あるいはベンゾシクロブテン(BCB)からなる第1の層間絶縁膜14を0.3～1.0μm程度の厚さに形成する。この第1の層間絶縁膜14をドライエッチング技術を用いてバーニングして第1層目配線用の溝(配線パターン形状に対応する平面形状を有する)21を形成する。その際に、後で電極パッドを形成するための位置にも溝(電極パッドに対応する平面形状を有する)22を形成する。この溝形成の際には、溝底面に有機層間絶縁膜(第1の層間絶縁膜14)が残留せずに無機層間絶縁膜(最下層絶縁膜2)が全面に露出するようにする。上記溝21の溝幅(配線幅)は、例えば最下層絶縁膜2に形成したピアホールの直径0.1～1.0μm程度と同等またはそれより大きい。また、上記溝22の幅(電極パッド平面形状の寸法)は、例えば80～100μm角程度である。

【0047】次に、図3に示すように、その上に、導電性配線材料たる銅やアルミニウムなどの金属の膜23を形成し、第1層目配線用の溝21と電極パッド形成用の溝22とを金属膜23で埋め込む。

【0048】次に、図4に示すように、メタルCMP

(金属に対する化学・機械的研磨)技術を用いて金属膜

50

12

23を研磨して平坦化し、第1層目配線9と電極パッドの一部となる導電膜たる金属膜パターン3とを形成する。第1層目配線9は、ピアメタル8を介してシリコン基板1の機能素子と電気的に接続される。ここまでプロセスで、金属膜パターン3の底面は膜強度の強い無機層間絶縁膜2と接触しており、金属膜パターン3の直下には有機層間絶縁膜は存在しない。

【0049】尚、通常のエッチバックプロセスによる平坦化では、微細な配線用溝内またはピアホール内の金属膜とこれに比して大面積の電極パッド用溝内の金属膜とを同時に平坦化するのは難しいが、上記メタルCMPを用いることで容易に微細な配線用溝内またはピアホール内の金属膜と電極パッドと同面積の金属膜とを平坦化して、配線及び金属膜パターンを形成することができる。

【0050】次に、図5に示すように、その上に、第1の層間絶縁膜14の場合と同様にして、有機層間絶縁膜からなる第2の層間絶縁膜15を形成し、バーニングして第1層目配線9に対応する位置にピアホール24を形成し、その際に金属膜パターン3に対応する位置に該金属膜パターンと同一の平面形状の溝25を形成する。

【0051】次に、図6に示すように、その上に、金属膜23の場合と同様にして、金属膜26を形成し、ピアホール24と電極パッド形成用の溝25とを金属膜26で埋め込む。

【0052】次に、図7に示すように、金属膜23の場合と同様にして、メタルCMP技術を用いて金属膜26を研磨して平坦化し、ピアメタル10と電極パッドの一部となる金属膜パターン4とを形成する。

【0053】以下、有機層間絶縁膜14における配線9と金属膜パターン3との形成工程、及び、有機層間絶縁膜15におけるピアメタル10と金属膜パターン4との形成工程と同様な工程を繰り返すことで、図8に示すように、有機層間絶縁膜(第2の層間絶縁膜)15上有機層間絶縁膜(第3、第4及び第5の層間絶縁膜)16、17、18を形成し、有機層間絶縁膜16において第2層目配線11と金属膜パターン5とを形成し、有機層間絶縁膜17においてピアメタル12と金属膜パターン6とを形成し、有機層間絶縁膜18において第3層目配線13と金属膜パターン7とを形成する。第2層目配線11はピアメタル10を介して第1層目配線9と電気的に接続されており、第3層目配線13はピアメタル12を介して第2層目配線11と電気的に接続される。

【0054】次に、図9に示すように、その上に、絶縁膜を形成し金属膜パターン7より少し小さいホールを開孔する。以上のようにして得られる本実施形態の多層配線構造では、金属膜パターン3～7の積層体(金属柱)により電極パッドが構成されている。この電極パッドは、層間絶縁膜14～18を膜厚方向に貫通して形成された導電部材からなり、該導電部材の側面は膜厚方向(図9では上下方向)に延びている。

【0055】次に、図10に示すように、電極パッドの最上層金属膜パターン7に対してワイヤー20をボンディングする。ボンディングに際してボンディングヘッドから電極パッドに印加される押圧力や引っ張り力などの衝撃力は、金属膜パターン3～7の積層体を介してその最下層金属膜パターン3から最下層無機絶縁膜2へと伝達され、有機層間絶縁膜14～18には殆ど直接的な力がかからない。

【0056】従って、本実施形態の多層配線構造では、電極パッド下部に有機層間絶縁膜が存在しないため、ボンディング時の押圧力は膜強度が強く密着性の良好な金属膜パターンと無機絶縁膜とにのみかかり、かくして有機層間絶縁膜のクラックの発生が防止される。同様に、電極パッド下部に有機層間絶縁膜が存在しないため、ボンディング時の引っ張り力は膜強度が強く密着性の良好な金属膜パターンと無機絶縁膜とにのみかかり、かくして電極パッドの剥離が防止される。

【0057】図11～図17は、本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。これらの図において、上記図1～10におけると同様の機能を有する部材には同一の符号が付されている。

【0058】先ず、図11に示すように、トランジスター、ダイオード及びコンデンサーなどの各種機能素子が作り込まれたシリコン基板1の上に、最下層無機絶縁膜2を形成し、その上に第1の有機層間絶縁膜14を形成する。この第1の層間絶縁膜14をドライエッチング技術を用いてパターニングして第1層目配線用の溝21と電極パッド形成用溝22とを形成する。そして、最下層無機絶縁膜2にピアホール49を形成する。

【0059】次に、図12に示すように、その上に金属膜23を形成することで、ピアホール49、第1層目配線用の溝21及び電極パッド形成用溝22を同時に埋め込む。

【0060】次に、図13に示すように、メタルCMPを用いて金属膜23の平坦化を行い、ピアメタル8、第1層目配線9及び金属膜パターン3を形成する。

【0061】次に、図14に示すように、その上に、第2の有機層間絶縁膜15及び第3の有機層間絶縁膜16を形成し、これらにピアホール24、第2層目配線用の溝50及び電極パッド形成用溝51を形成する。その上に金属膜52を形成することで、ピアホール24、第2層目配線用の溝50及び電極パッド形成用溝51を同時に埋め込む。

【0062】次に、図15に示すように、メタルCMPを用いて金属膜52の平坦化を行い、ピアメタル10、第2層目配線11及び金属膜パターン53を形成する。

【0063】以下、その上に、図14～図15に関して説明した工程と同様の工程を行うことで、図16に示すように、第3の有機層間絶縁膜17及び第4の有機層間

絶縁膜18を形成し、これらにピアメタル12、第3層目配線13及び金属膜パターン54を形成する。

【0064】次に、図17に示すように、その上に、絶縁膜を形成し金属膜パターン54より少し小さいホールを開孔する。以上のようにして得られる本実施形態の多層配線構造では、金属膜パターン3、53、54の積層体（金属柱）により電極パッドが構成されている。この電極パッドは、層間絶縁膜14～18を膜厚方向に貫通して形成された導電部材からなり、該導電部材の側面は膜厚方向（図17では上下方向）に延びている。そして、電極パッドの最上層金属膜パターン54に対してワイヤー20をボンディングする。

【0065】本実施形態の本実施形態の多層配線構造では、上記第1の実施形態と同様な効果が得られる。さらに、この第2の実施形態の製造方法は、第1の実施例と異なり、ピアホールと配線用の溝とを同時に導電性材料で埋め込むので、工程数を大幅に削減できるという利点がある。

【0066】図18～図26は、本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。これらの図において、上記図1～17におけると同様の機能を有する部材には同一の符号が付されている。

【0067】先ず、図18に示すように、トランジスター、ダイオード及びコンデンサーなどの各種機能素子が作り込まれたシリコン基板1の上に、最下層無機絶縁膜2を形成し、そこに形成したピアホールにピアメタル8を充填する。

【0068】次に、図19に示すように、その上に金属膜23を形成する。

【0069】次に、図20に示すように、金属膜23をエッチング技術を用いてパターニングして第1層目配線9と電極パッド用金属膜パターン3とを形成する。

【0070】次に、図21に示すように、その上に有機絶縁膜30'を十分な厚さに形成する。

【0071】次に、図22に示すように、CMP技術を用いて有機絶縁膜30'を平坦化して第1の有機層間絶縁膜30を形成する（第1層目配線9と電極パッド用金属膜パターン3とは露出させない）。

【0072】次に、図23に示すように、第1の有機層間絶縁膜30にピアホール24と電極パッド用の溝25とを開孔する。溝25の形成により電極パッド用金属膜パターン3の上面が完全に露出する。

【0073】次に、図24に示すように、その上に金属膜26を形成する。

【0074】次に、図25に示すように、金属膜23をメタルCMP技術を用いて平坦化してピアメタル10と電極パッド用金属膜パターン4とを形成する。

【0075】以下、その上に、図19～図25に関して説明した工程と同様の工程を適宜行うことで、図26に

15

示すように、第2の有機層間絶縁膜31及び第3の有機層間絶縁膜18を形成し、これらにビアメタル12、第2層目配線11、第3層目配線13、金属膜パターン5、6、7を形成する。そして、その上に、絶縁膜を形成し金属膜パターン7より少し小さいホールを開孔する。以上のようにして得られる本実施形態の多層配線構造では、金属膜パターン3～7の積層体（金属柱）により電極パッドが構成されている。この電極パッドは、層間絶縁膜30、31、18を膜厚方向に貫通して形成された導電部材からなり、該導電部材の側面は膜厚方向（図26では上下方向）に延びている。そして、電極パッドの最上層金属膜パターン7に対してワイヤー20をボンディングする。

【0076】本実施形態の本実施形態の多層配線構造では、上記第1の実施形態と同様な効果が得られる。

【0077】以上の3つの実施形態では3層配線構造が示されているが、同様にして2層または4層以上の配線構造を製造することができることは容易に理解されるであろう。

【0078】

【発明の効果】以上説明したように、本発明によれば、電極パッド下部に有機層間絶縁膜が存在しないため、ボンディング時の衝撃力は膜強度が強く密着性の良好な金属膜パターンと無機絶縁膜とにのみかかり、かくして有機層間絶縁膜のクラックの発生や電極パッドの剥離が防止され、耐久性が向上した電極部構造を有する多層配線構造ならびにそのような多層配線構造をもつ半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図2】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図3】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図4】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図5】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図6】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図7】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

10

20

30

40

40

50

16

【図8】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図9】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図10】本発明の多層配線構造を有する半導体装置の製造方法の第1の実施の形態の製造工程を示すための断面図である。

【図11】本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。

【図12】本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。

【図13】本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。

【図14】本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。

【図15】本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。

【図16】本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。

【図17】本発明の多層配線構造を有する半導体装置の製造方法の第2の実施の形態の製造工程を示すための断面図である。

【図18】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図19】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図20】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図21】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図22】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図23】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図24】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断

面図である。

【図25】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図26】本発明の多層配線構造を有する半導体装置の製造方法の第3の実施の形態の製造工程を示すための断面図である。

【図27】従来の多層配線構造の第1の例の製造方法を示す断面図である。

【図28】従来の多層配線構造の第1の例の製造方法を示す断面図である。

【図29】従来の多層配線構造の第1の例の製造方法を示す断面図である。

【図30】従来の多層配線構造の第1の例の製造方法を示す断面図である。

【図31】従来の多層配線構造の第2の例の製造方法を示す断面図である。

【図32】従来の多層配線構造の第2の例の製造方法を示す断面図である。

【図33】従来の多層配線構造の第2の例の製造方法を¹⁰示す断面図である。

*示す断面図である。

【図34】従来の多層配線構造の第2の例の製造方法を示す断面図である。

【図35】従来の多層配線構造の第2の例の製造方法を示す断面図である。

【図36】従来の多層配線構造の第2の例の製造方法を示す断面図である。

【図37】従来の多層配線構造の第2の例の製造方法を示す断面図である。

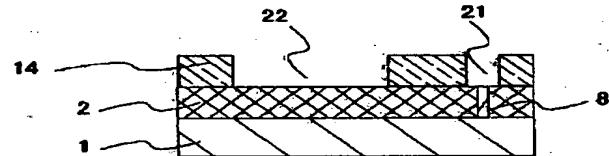
【符号の説明】

- | | |
|--------------------|------------|
| 1 | シリコン基板 |
| 2 | 無機最下層絶縁膜 |
| 3, 4, 5, 6, 7 | 金属膜パターン |
| 8, 10, 12 | ピアメタル |
| 9, 11, 13 | 配線 |
| 14, 15, 16, 17, 18 | 有機層間絶縁膜 |
| 20 | ボンディングワイヤー |
| 21, 22, 25 | 溝 |
| 23, 26 | 金属膜 |
| 24 | ピアホール |

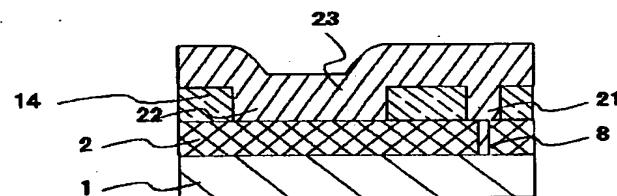
【図1】



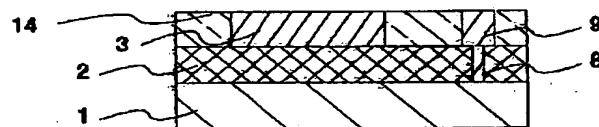
【図2】



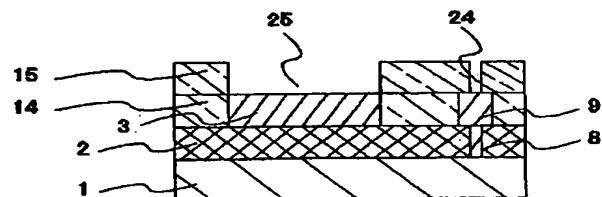
【図3】



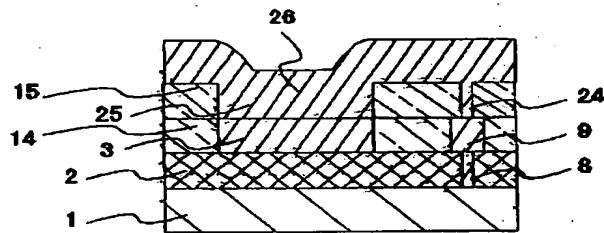
【図4】



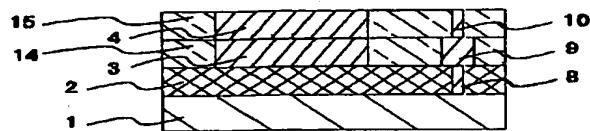
【図5】



【図6】



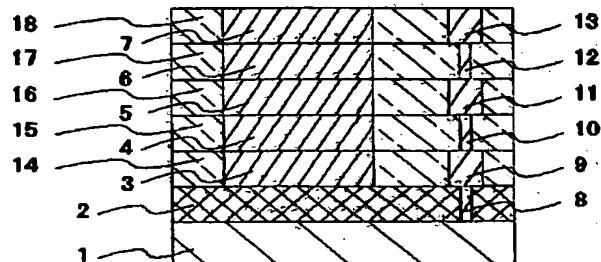
【図7】



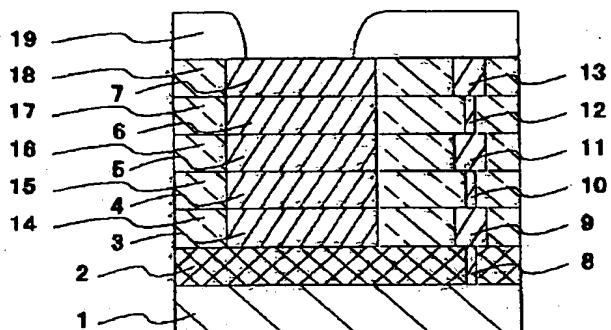
【図18】



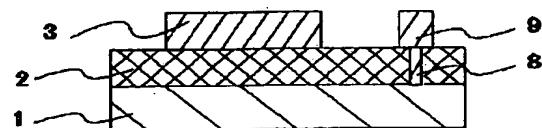
【図8】



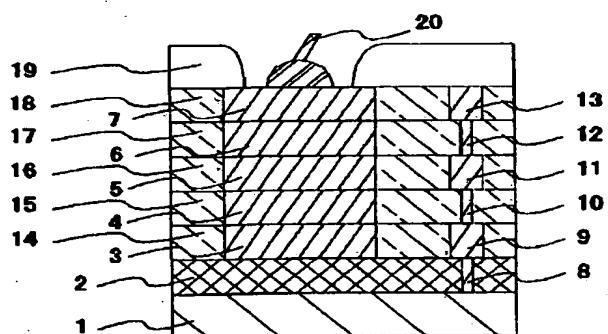
【図9】



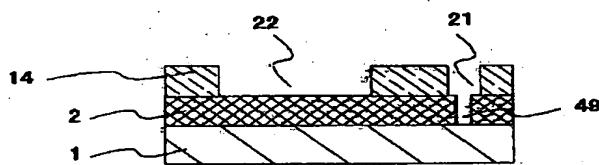
【図20】



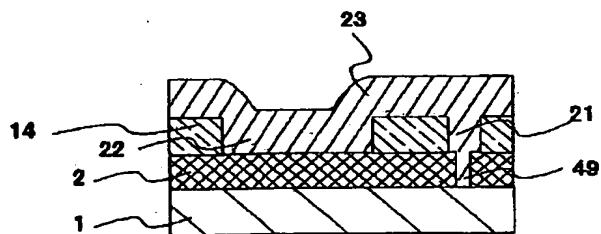
【図10】



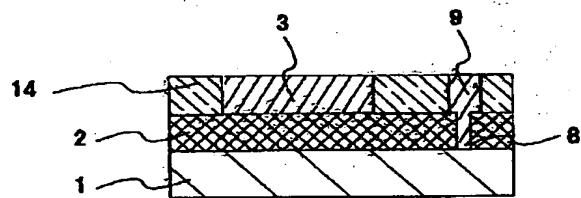
【図11】



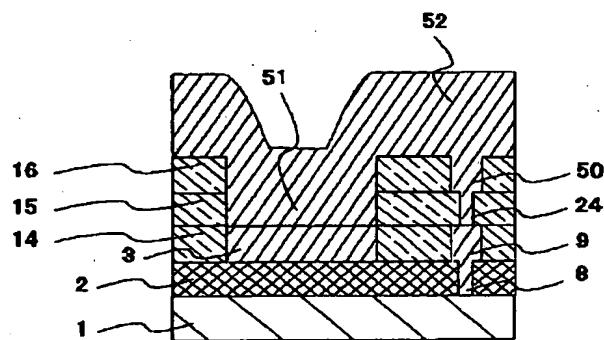
【図12】



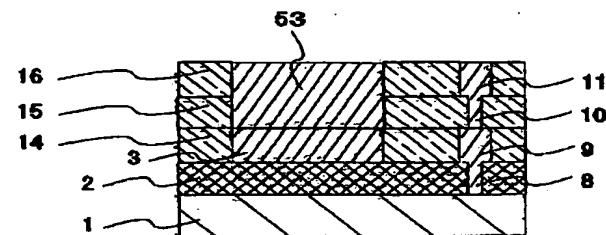
【図13】



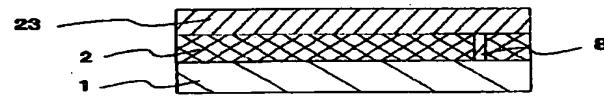
【図14】



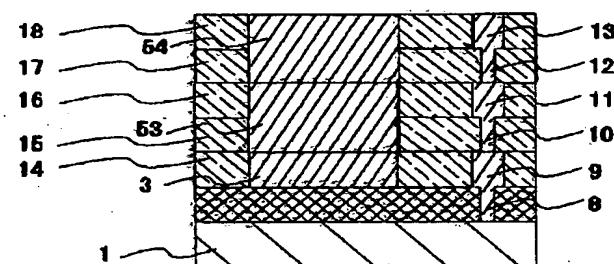
【図15】



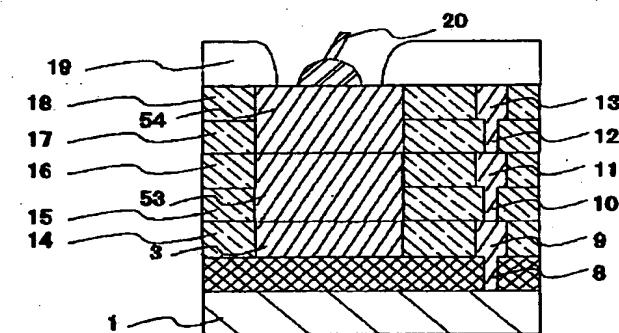
【図19】



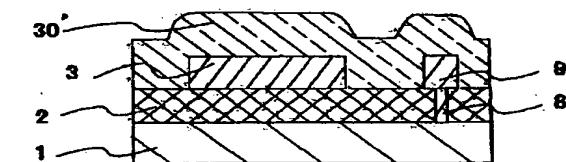
【図16】



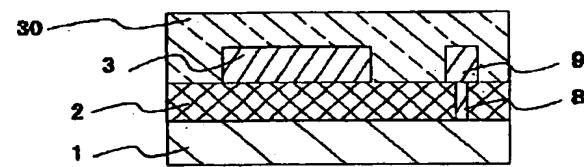
【図17】



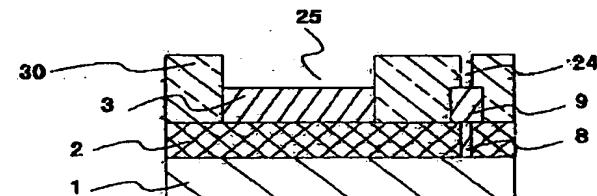
【図21】



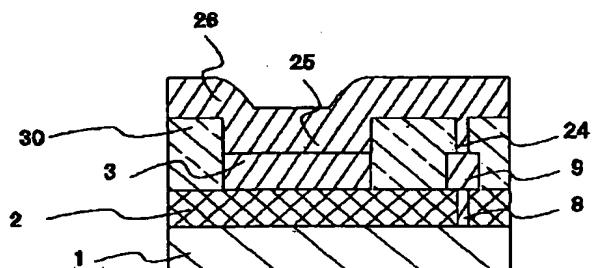
【図22】



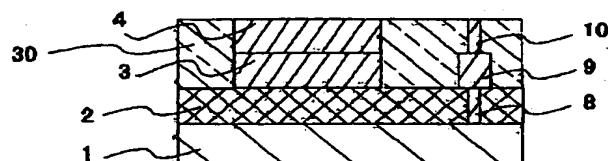
【図23】



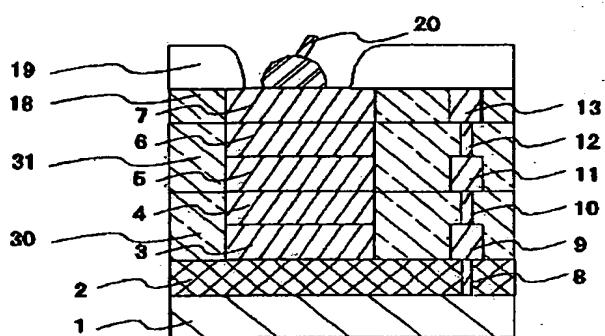
【図24】



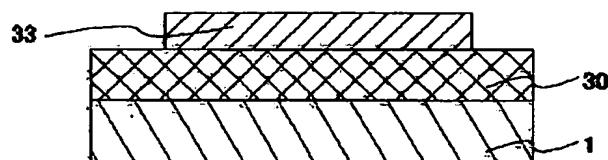
【図25】



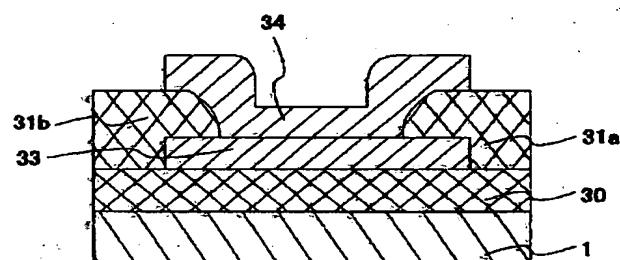
【図26】



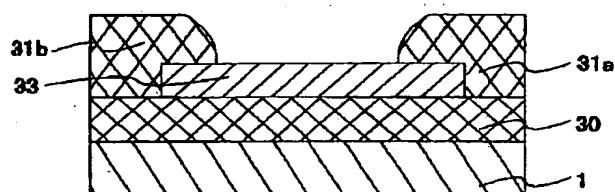
【図27】



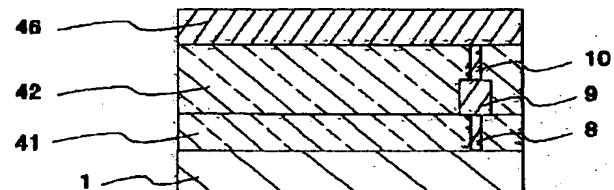
【図29】



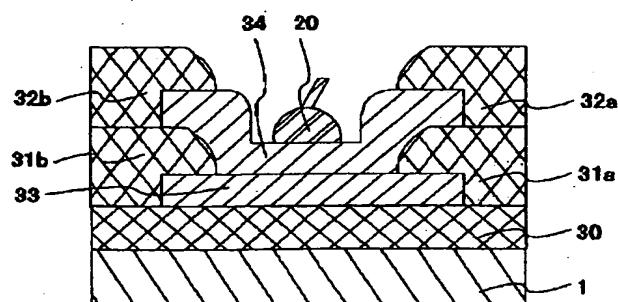
【図28】



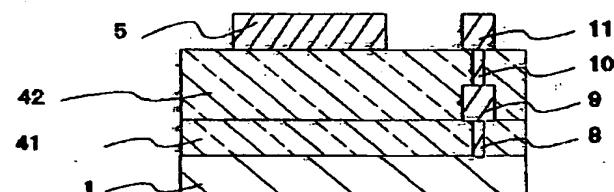
【図31】



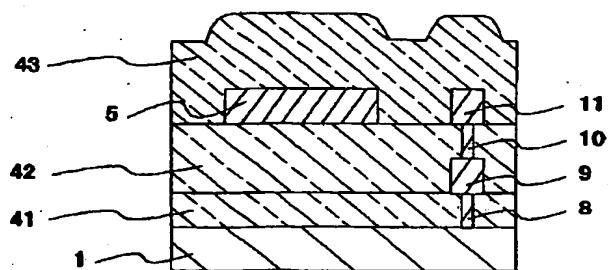
【図30】



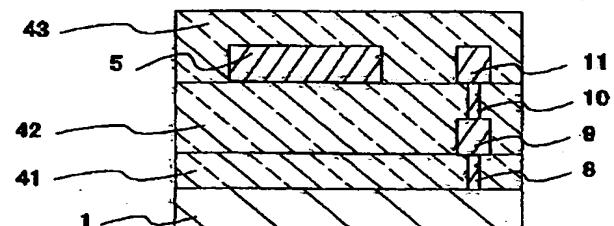
【図32】



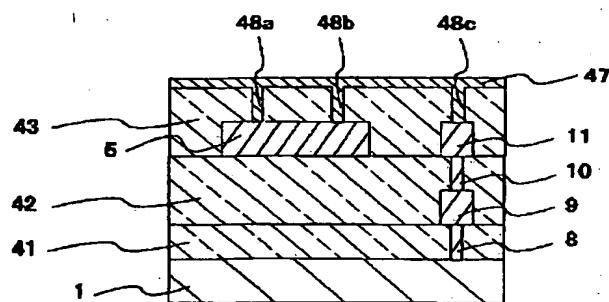
【図33】



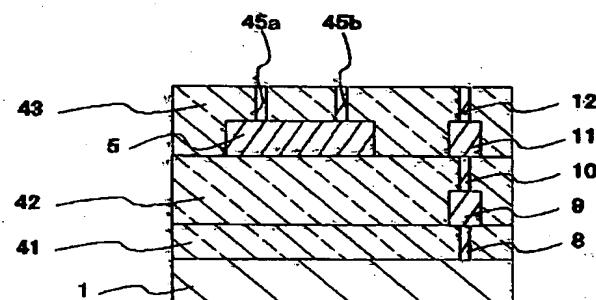
【図34】



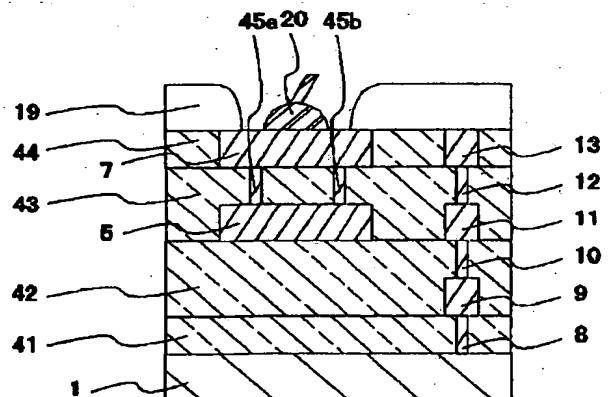
【図35】



【図36】



【図37】



フロントページの続き

(58) 調査した分野 (Int. Cl. 7, DB名)

H01L 21/60

H01L 21/3205 - 21/3213

H01L 21/768